

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 08 JUL 2004

WIPO

PCT

出願人又は代理人 の書類記号 PCT770	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/01655	国際出願日 (日.月.年) 17.02.2003	優先日 (日.月.年) 23.04.2002
国際特許分類(IPC) Int. Cl ⁷ G05F 1/56		
出願人(氏名又は名称) ナノパワーソリューション株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 5 ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
 - II ☐ 優先権
 - III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - IV ☐ 発明の単一性の欠如
 - V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - VI ☐ ある種の引用文献
 - VII ☐ 国際出願の不備
 - VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 03.10.2003	国際予備審査報告を作成した日 18.06.2004	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区鍛冶町三丁目4番3号	特許庁審査官(権限のある職員) 櫻田 正紀	3V 2917
電話番号 03-3581-1101 内線 3356		

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-25 ページ、出願時に提出されたもの
 明細書 第 _____ ページ、国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 _____ 項、出願時に提出されたもの
 請求の範囲 第 1-5 項、PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの

☒ 図面 第 1-7, 9-15, 17-22 ~~ページ~~図、出願時に提出されたもの
 図面 第 _____ ~~ページ~~図、国際予備審査の請求書と共に提出されたもの
 図面 第 8, 16 ~~ページ~~図、20.05.2004 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1 - 5	有 無
	請求の範囲		
進歩性 (IS)	請求の範囲	1 - 5	有 無
	請求の範囲		
産業上の利用可能性 (IA)	請求の範囲	1 - 5	有 無
	請求の範囲		

2. 文献及び説明 (PCT規則70.7)

文献1 US 5552697 A (Linfinity Microelectronics), 03.09.1996
 文献2 JP 11-122195 A (シャープ株式会社), 30.04.1999
 文献3 US 4533877 A (AT&T Bell Laboratories), 06.08.1985
 文献4 EP 403174 A2 (Oki Electric Industry Co., Ltd.), 19.12.1990
 文献5 EP 1096671 A1 (Texas Instruments Incorporated),
 02.05.2001
 文献6 US 6114907 A (National Semiconductor Corporation),
 05.09.2000

請求の範囲1-5に記載された発明は、国際調査報告で引用された文献に対して進歩性を有する。文献1-6には、誤差増幅手段を、第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とで構成し、前記入力部と負荷部との間に第1の型の半導体素子からなる雑音抑圧部を配置し、当該雑音抑圧部の1つの端子を第1の電源端子に接続し、当該雑音抑制部の基盤端子を第2の電源端子に接続し、当該雑音抑圧部の素子の組を異なるディメンションで構成することにより出力電圧の電圧依存性が制御されることが記載されておらず、しかもその点は当業者といえども自明のものではない。

請 求 の 範 囲

1. 第1の電源端子と、第2の電源端子を有し、
基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段
と、

前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、
該誤差増幅手段には少なくとも1つの位相補償コンデンサを含み、

電源回路の出力を生成する電圧電流出力手段と、

出力電圧変動を検出する出力分圧手段とを有し、

前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続さ
れ、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続さ
れ、

前記誤差増幅手段は第1の型の半導体素子の組で構成される入力部と、
第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と
負荷部との間に第1の型の半導体素子からなる雑音抑圧部が配置され、
当該雑音抑圧部の1つの端子は前記第1の電源端子に接続されかつ、当
該雑音抑圧部の基盤端子は前記第2の電源端子に接続され、当該雑音抑
圧部の素子の組が異なるディメンションにて構成されることにより出力
電圧の電源電圧依存性が制御されることを特徴とする、雑音除去回路。

2. 第1の電源端子と、第2の電源端子を有し、
基準電圧を発生する基準電圧発生手段と、
動作電流を定めるためのバイアス電流を発生するバイアス電流発生手段
と、

前記基準電圧に対する誤差電圧を増幅する誤差増幅手段と、

該誤差増幅手段には少なくとも1つの位相補償コンデンサを含み、

電源回路の出力を生成する電圧電流出力手段と、
出力電圧変動を検出する出力分圧手段と、
前記位相補償コンデンサとは異なる少なくとも1つの容量を含んだキャンセル信号発生手段とを有する雑音除去回路であって、該容量は前記出力分圧回路と第1の電源端子もしくは第1の電源端子の電位と同位相に変化する回路ノードに接続されていて、
前記基準電圧発生手段には前記誤差増幅手段の第1の入力端子が接続され、前記出力分圧手段には前記誤差増幅手段の第2の入力端子が接続され、

前記キャンセル信号発生手段は、前記容量と前記出力分圧手段の抵抗成分とによって雑音信号を分圧するとともに雑音信号の位相を進めるものであり、

前記誤差増幅手段は第1の型の半導体素子の組で構成される入力部と、第2の型の半導体素子の組で構成される負荷部とを有し、前記入力部と負荷部との間に第1の型の半導体素子からなる雑音抑圧部が配置され、当該雑音抑圧部の1つの端子は前記第1の電源に接続され、当該雑音抑圧部の素子の組が異なるディメンションにて構成されることにより出力電圧の電源電圧依存性が制御されることを特徴とする、雑音除去回路。

3. 前記基準電圧発生手段および誤差増幅手段の出力電圧の電源電圧依存係数の絶対値は、電源電圧変化1ボルトあたり-60デシベル以下であり、電源電圧依存係数の絶対値の差は、-80デシベル以下であり、前記基準電圧発生手段の電源電圧依存係数の極性と誤差増幅手段の電源電圧依存係数の極性が反対の極性である、請求項1又は2記載の雑音除去回路。

4. 前記キャンセル信号発生回路の容量の容量値は0.1 pFないし0.001 pFの微小容量である、請求項1乃至3のいずれか1項記載の雑音除去回路。

5. 前記バイアス電流発生回路が省略されており、前記基準電圧発生回路が前記バイアス電流発生回路を兼ねている、請求項1乃至4のいずれか1項記載の雑音除去回路。

第8図



